

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-244752

(43)Date of publication of application : 28.09.1990

(51)Int.Cl.

H01L 23/522

H01L 21/331

H01L 23/556

H01L 23/60

H01L 23/62

H01L 29/73

(21)Application number : 01-063919

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.03.1989

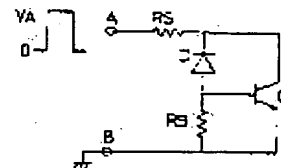
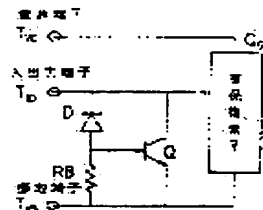
(72)Inventor : NAKANO MOTOO

(54) STATIC ELECTRICITY PROTECTION CIRCUIT OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To achieve a high withstand voltage regardless of the polarity of static electricity by providing a break-down element and resistor inserted in the opposite direction toward a base between the base and input/output terminal of a bipolar transistor.

CONSTITUTION: A collector of a bipolar transistor Q is connected to an input/output terminal T10, an emitter is connected to a grounding terminal TVS, a break-down element D for enabling current to flow when a voltage exceeding the rated voltage is applied between the input/output terminal T10 and the base of the bipolar transistor Q is connected in the opposite direction toward the base, a resistor RB is connected between the base of the bipolar transistor Q and the grounding terminal TVS, in this circuit configuration, collector potential is always higher than base potential by BV and each bias voltage turns on the transistor Q. Namely, since the transistor Q can be in its original current drive state, static electricity applied to a terminal A can be largely discharged to the grounding terminal B side in a short time, thus allowing a semiconductor integrated circuit with this static electricity protection circuit to have an increased withstand voltage against static electricity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-244752

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月28日

H 01 L 23/522
21/331
23/556
23/60
23/62
29/73

8728-5F H 01 L 27/06 1 0 1 P
8526-5F 29/72

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体集積回路の静電気保護回路

⑯ 特 願 平1-63919

⑰ 出 願 平1(1989)3月17日

⑱ 発 明 者 中 野 元 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 柏 谷 昭 司 外1名

明 細 書

1 発明の名称

半導体集積回路の静電気保護回路

2 特許請求の範囲

- (1) コレクタが入出力端子に且つエミッタが接地端子にそれぞれ接続されたバイポーラ・トランジスタと、

該バイポーラ・トランジスタのベースと前記入出力端子との間に該ベースに向かって逆方向となる向きに挿入されたブレーク・ダウン素子と、

前記バイポーラ・トランジスタのベースと前記接地端子との間に挿入された抵抗とを備えてなることを特徴とする半導体集積回路の静電気保護回路。

- (2) コレクタが電源端子に且つエミッタが入出力端子にそれぞれ接続されたバイポーラ・トランジスタと、

該バイポーラ・トランジスタのベースと前記電源端子との間に該ベースに向かって逆方向と

なる向きに挿入されたブレーク・ダウン素子と、前記バイポーラ・トランジスタのベースと前記入出力端子との間に挿入された抵抗とを備えてなることを特徴とする半導体集積回路の静電気保護回路。

3 発明の詳細な説明

(概要)

半導体集積回路に発生する静電気を放電させる効果が大きくなるように改良された半導体集積回路の静電気保護回路に関し、

半導体集積回路に於ける端子に加わる静電気の極性の如何に拘わらず、高い耐電圧を示す半導体集積回路保護素子を得ることを目的とし、

コレクタが入出力端子に且つエミッタが接地端子にそれぞれ接続されたバイポーラ・トランジスタと、該バイポーラ・トランジスタのベースと前記入出力端子との間に該ベースに向かって逆方向となる向きに挿入されたブレーク・ダウン素子と、前記バイポーラ・トランジスタのベースと前記接地端子との間に挿入された抵抗とを備えるか、或

いは、コレクタが電源端子に且つエミッタが入出力端子にそれぞれ接続されたバイポーラ・トランジスタと、該バイポーラ・トランジスタのベースと前記電源端子との間に該ベースに向かって逆方向となる向きに挿入されたブレイク・ダウン素子とを備えるよう構成する。

〔産業上の利用分野〕

本発明は、半導体集積回路に発生する静電気を放電させる効果が大きくなるように改良された半導体集積回路の静電気保護回路に関する。

現在、半導体集積回路は産業機器や民生機器への使用が急速に増加しつつあり、今後もこの傾向は変わらないと考えられる。

これに伴い、半導体集積回路の使用環境は更に悪化することが予想され、既に、その兆しは見え始めている。

その使用環境に依る問題の一つに静電破壊が挙げられ、それについては従来から種々の対策が考えられ且つ実施されてきた。例えば半導体集積回路の入出力部分に保護素子を形成し、静電気を該

保護素子を介して放電させ、内部の諸素子には影響を与えないようにすることが行われているが、その効果については、未だ充分とは言えない状態にある。

〔従来の技術〕

第7図は保護素子が組み込まれた半導体集積回路の従来例を解説する為の要部回路説明図を表している。

図に於いて、 T_{vo} は電源端子、 T_{io} は入出力端子、 T_{vs} は接地端子、 Q_1 及び Q_2 は保護素子、 Q_{eo} は被保護素子をそれぞれ示している。

図示例では、半導体集積回路の内部素子である被保護素子 Q_{eo} と入出力端子 T_{io} との間にバイポーラ・トランジスタである保護素子 Q_1 及び Q_2 を挿入し、入出力端子 T_{io} から侵入する静電気を電源配線或いは接地配線に放電させることで被保護素子 Q_{eo} の破壊を防いでいる。

通常、静電気が半導体集積回路の数ある端子のうちのどれに加わるかは全く予測できないので、加わった静電気をその都度適切な放電経路を選択

して放電させることは實際上不可能である。従って、一般には、放電先として電源配線或いは接地配線を採用している。この両配線は、半導体集積回路の内部では比較的大きな静電容量を有していることから溜池のような役割を果たすことができる。そこで、この両配線に放電することで入出力端子の電圧は大幅に低下し、被保護素子の静電気に依る破壊は回避される。

一般に、保護素子 Q_1 及び Q_2 をバイポーラ・トランジスタとし、それを例えば入出力端子 T_{io} と接地端子 T_{vs} との間に挿入する場合（図示例では保護素子 Q_2 ）、コレクタは入出力端子 T_{io} に接続し、ベースは抵抗 R_2 を介して接地端子 T_{vs} に接続し、エミッタは接地端子 T_{vs} に直接接続する。尚、ここでは、バイポーラ・トランジスタの導電型がnpnであるが、pnpであっても同様に考えることができる。

前記構成の回路に於ける入出力端子 T_{io} と接地端子 T_{vs} との間に極性が正である高電圧の静電気が加わった場合の動作を解析すると次の通りであ

る。該高電圧は、保護素子 Q_2 のコレクタ・ベース間の接合に印加され、その空乏層内に於ける電界を強める。この空乏層内の電界が或る程度以上の場合には、空乏層内での衝突電離によってチャリヤ、即ち、電子並びに正孔が発生する。このうち、正孔はベースに流れ込んでから抵抗 R_2 を介して接地端子 T_{vs} へと流れ出るのであるが、これと同時にベース電位を上昇させる。従って、エミッタ・ベース接合は順方向にバイアスされるので、エミッタから電子が注入される。その注入された電子の大部分はコレクタ・ベース接合に流れ込んで新たな衝突電離を発生させる引き金の働きをする。これは一種の正帰還であって、抵抗 R_2 を流れる電子に注入電子を加えた電子数と新たに発生する電子数とがバランスするまで保護素子 Q_2 を流れる電流は増加を続ける。このようなメカニズムでコレクタ・ベース接合のブレイク・ダウン電圧は低下し、単なるダイオードだけの場合よりも短時間で静電気を放電させることができる。

また、前記した回路に於いて、例えば保護素子

Q2のベースと接地端子 T_{vs} との間に挿入されている抵抗 $R2$ を除去し、ベースを直接接地することも行われている。この場合には、ベースそのものがもつ内部抵抗が抵抗 $R2$ の役割を果たし、効果としては不充分であるが、前記同様のメカニズムに依る放電動作を期待できる。

(発明が解決しようとする課題)

前記説明した保護素子の動作メカニズムは、バイポーラ・トランジスタに於ける本来の動作メカニズムではなく、従って、バイポーラ・トランジスタがもつ電流駆動能力を充分に出し切っていない。従って、前記したような動作メカニズムでは、放電能力が不足する虞がある。

ところで、近年、Bi-CMOS(bipolar complementary metal oxide semiconductor)は、今後、半導体集積回路として多用される趨勢にある。本発明者は、Bi-CMOSに於ける出力端子並びに接地端子間に第7図について説明したようなバイポーラ・トランジスタ挿入型静電気保護

回路を設けたものについて、その静電気に対する強度(耐電圧)を測定したが、その耐電圧は、出力端子側が正極性になった場合には負極性になった場合に比較して著しく低い値であった。

その理由は、勿論、前記した保護回路の能力不足に起因するものであり、これについて、更に詳細に記述する。

第8図は測定に用いた試験回路の要部回路説明図である。

図に於いて、VPは出力電圧可変の直流電源、Cは容量が10(pF)であるキャパシタ、Sはスイッチ、①及び②は端子、TPは試料である半導体集積回路をそれぞれ示している。

この試験回路で測定を行うには、当初、スイッチSの端子①側を開成し、10(pF)のキャパシタCに直流電源VPからの電圧を印加して電荷を蓄積する。次いで、スイッチSの端子②側を開成し、キャパシタCに蓄積されている電荷を半導体集積回路TPに流し込むようにする。そして、この操作を直流電源Vから出力される電圧を上昇

させては繰り返し、その都度、半導体集積回路TPが破壊されたか否かを確認し、静電気に対する強度を判定する。

このようにして測定を行った結果、出力端子側が負極性となる電圧を印加した場合には2300(V)の電圧に耐えることができたが、逆に正極性となる電圧を印加した場合には1700(V)になると半導体集積回路TPは破壊された。

本発明は、半導体集積回路に於ける端子に加わる静電気の極性の如何に拘わらず、高い耐電圧を示す半導体集積回路の静電気保護回路を提供しようとする。

(課題を解決するための手段)

前記したような問題を解消する為には、異常電荷を放電させる為に準備されているトランジスタが半導体集積回路の入出力端子に定格電圧よりも高い電圧が加わった際に正常な動作をするように各部分の電位を適切に設定してやれば良い。

第1図及び第2図は本発明に依る静電気保護回路の原理を説明する為の要部回路説明図を表し、

第7図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、Qは保護素子であるバイポーラ・トランジスタ、Dはブレーク・ダウン素子、RBは抵抗をそれぞれ示している。

第1図と第2図とが相違するところは、静電気保護回路を入出力端子 T_{io} と接地端子 T_{vs} との間に挿入したか、或いは、電源端子 T_{vo} と入出力端子 T_{io} との間に挿入したかの点のみである。

第1図に見られる静電気保護回路に於いては、バイポーラ・トランジスタQのコレクタを入出力端子 T_{io} に、そして、エミッタを接地端子 T_{vs} にそれぞれ接続してあり、また、入出力端子 T_{io} とバイポーラ・トランジスタQのベースとの間には定格電圧以上の電圧が加わると電流が流れるブレーク・ダウン素子Dをベースに向かって逆方向動作となる向きに接続し、更にまた、バイポーラ・トランジスタQのベースと接地端子 T_{vs} との間には抵抗RBを接続してある。

第2図に見られる静電気保護回路に於いては、

バイポーラ・トランジスタQのコレクタを電源端子 T_{vo} に、そして、エミッタを入出力端子 T_{io} にそれぞれ接続してあり、また、電源端子 T_{vo} とバイポーラ・トランジスタQのベースとの間に前記と同様なブレーク・ダウン素子Dをベースに向かって逆方向動作となる向きに接続し、更にまた、バイポーラ・トランジスタQのベースと入出力端子 T_{io} との間には抵抗RBを接続してある。

第1図並びに第2図に見られる静電気保護回路とを合体、即ち、入出力端子 T_{io} と接地端子 T_{vs} との間、及び、電源端子 T_{vo} と入出力端子 T_{io} との間にそれぞれ静電気保護回路を挿入しても良いことは勿論であり、また、ブレーク・ダウン素子Dの数を適切に選択してブレーク・ダウン電圧を所望の値に制御することができる。

このようなことから、本発明に依る半導体集積回路の静電気保護回路では、コレクタが入出力端子（例えば入出力端子 T_{io} ）に且つエミッタが接地端子（例えば接地端子 T_{vs} ）にそれぞれ接続されたバイポーラ・トランジスタ（例えばバイポーラ・トランジスタQ）と、該バイポーラ・トランジスタのベースと前記入出力端子との間に挿入されたブレーク・ダウン素子と、前記バイポーラ・トランジスタのベースと前記接地端子との間に挿入された抵抗（例えば抵抗RB）とを備えるか、或いは、コレクタが電源端子（例えば電源端子 T_{vo} ）に且つエミッタが入出力端子にそれぞれ接続されたバイポーラ・トランジスタと、該バイポーラ・トランジスタのベースと前記電源端子との間に挿入されたブレーク・ダウン素子と、前記バイポーラ・トランジスタのベースと前記入出力端子との間に挿入された抵抗とを備えるか、或いは、前記した構成の全てを備えるよう構成する。

（作用）

前記手段を採ることに依り、バイポーラ・トランジスタQは良好な保護動作を行うことが可能であり、これを更に詳細に説明する。

第3図は第1図或いは第2図に見られる静電気保護回路を動作解析し易いように具体化した要部回路説明図であり、第1図並びに第2図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、A並びにBは端子、RSは配線などが持つ直流抵抗成分を示している。

図示の静電気保護回路に於いて、端子Bを接地した状態で端子Aに静電気による電圧VAが印加されたとする。ブレーク・ダウン素子Dに加わる電圧が、そのブレーク・ダウン電圧BVよりも高くなると、抵抗RBに電流が流れ、ベース電位は上昇し、ベース・エミッタ接合は順方向にバイアスされる。この回路構成では、コレクタ電位はベース電位よりも必ずBVだけ高くなり、各バイアス電圧はトランジスタQをオン状態にする。即ち、トランジスタQは本来の電流駆動状態となる為、端子Aに加わる静電気の大部分を短時間に接地端子B側へ放電することができ、従って、この静電気保護回路を有する半導体集積回路は高い静電気

耐圧をもつことになる。

第4図は第3図に見られる静電気保護回路がどの程度の電流を流し得るかを説明する為の線図を表し、横軸に電圧Vを、また、縦軸に電流Iをそれぞれ採ってあり、第1図乃至第3図に於いて用いた記号と同記号は同部分を示すか或いは同じ意味を持つものとする。

図に於いて、細い実線Q'はトランジスタQのI-V特性を示す特性線、破線RS'は抵抗RSに依って規制されるI-V特性を示す特性線、Kは特性線Q'と特性線RS'との交点である動作点、VKは交点Kに対応する電圧、BV1及びBV2はブレーク・ダウン素子Dのブレーク・ダウン電圧、K1はブレーク・ダウン電圧BV1に対応する特性線RS'上の動作点をそれぞれ示している。

図から明らかであるが、ブレーク・ダウン素子Dのブレーク・ダウン電圧BVが電圧VKよりも高い電圧BV1である場合には動作点はK1となり、トランジスタQは電流駆動能力に未だ余力を

残している状態にあるが先に抵抗 RS に依って放電電流は規制されてしまう。ブレイク・ダウン電圧 BV が電圧 V_K よりも低い電圧 BV_2 である場合の放電電流は、まずトランジスタ Q に依って規制されるが、最終的には抵抗 RS に依って決まり、動作点は K に落ち着くことになる。従って、動作点 K に対応する電流値以上に放電電流を流すことはできない。抵抗 RB を大きくしてベース電位を深くすれば、動作点 K を上昇させることが可能である。然しながら、ブレイク・ダウン電圧 BV は(電源電圧+マージン)より高くなければならないので、抵抗 RB を無闇に大きくしても、動作点はブレイク・ダウン電圧 BV で決まってしまう点 K_1 と同様に状況で固定されてしまう。しかも、抵抗 RS には、次に説明するような規制も存在する。即ち、端子 A に負極性の静電気が加わった際には、トランジスタ Q のコレクタ・ベース接合が順方向状態になって放電を行うのであるが、このとき、抵抗 RB は前記放電経路に直列抵抗として挿入されてしまうので、高い放電能力を確保する

には抵抗 RB の値は小さいほうが望ましいことになる。従って、本発明の効果を最大限に発揮する為には、ブレイク・ダウン素子 D のブレイク・ダウン電圧 BV を(電源電圧+マージン)に設定して、抵抗 RB はブレイク・ダウン素子 D に電流が流れ過ぎて破壊されるのを防止できる程度の低い値に設定することが肝要である。

(実施例)

第5図は本発明一実施例の要部回路説明図を表し、第1図乃至第4図、第7図及び第8図に於いて用いた記号と同記号は同部分を示すか或いは同じ意味を持つものとする。

図に於いて、 D_1 及び D_2 はブレイク・ダウン素子、 C_1 は保護されるべき $Bi-CMOS$ 構成の内部回路をそれぞれ示している。

本実施例に於けるブレイク・ダウン素子 D_1 並びに D_2 は内部回路 C_1 内のバイポーラ・トランジスタに於けるエミッタ・ベースと同一構造をもつツェナー・ダイオードを二段直列接続してあって、そのブレイク・ダウン電圧 BV は14〔V〕

であり、また、抵抗 RB の値は約1〔K Ω 〕程度である。

第6図は第5図に見られる実施例の具体的構造を説明する為の要部切断側面図を表し、第1図乃至第5図、第7図及び第8図に於いて用いた記号と同記号は同部分を示すか或いは同じ意味を持つものとする。

図に於いて、1は p 型シリコン半導体基板、2は n 型不純物領域、3は p 型不純物領域、4は n 型不純物領域、5は n 型不純物領域、6は p 型不純物領域、7は n 型コレクタ領域、8は p 型ベース領域、9は n 型エミッタ領域をそれぞれ示している。

第5図及び第6図について説明した実施例に対し、第8図について説明した試験回路を用いて耐電圧の測定を行ったところ、約2100〔V〕程度の電圧まで耐えることができた。第7図に見られる従来例では、約1700〔V〕程度であったから、約400〔V〕程度も耐電圧性が向上したことになる。

また、前記従来例では、入出力端子 T_{io} に25〔V〕以上の電圧を印加するとバイポーラ・トランジスタ Q_2 を介して接地端子 T_{vs} への放電が開始されるのに対し、前記実施例では、14〔V〕以上になるとバイポーラ・トランジスタ Q を介して接地端子 T_{vs} への放電が開始される。これは、本発明に依る静電気保護回路のほうが、従来のそれに比較し、より効果的に動作し得ることを示している。

(発明の効果)

本発明に依る半導体集積回路保護素子に於いては、コレクタが入出力端子に且つエミッタが接地端子にそれぞれ接続されたバイポーラ・トランジスタと、該バイポーラ・トランジスタのベースと前記入出力端子との間に該ベースに向かって逆方向となる向きに挿入されたブレイク・ダウン素子と、前記バイポーラ・トランジスタのベースと前記接地端子との間に挿入された抵抗とを備えるか、或いは、コレクタが電源端子に且つエミッタが入出力端子にそれぞれ接続されたバイポーラ・トラ

ンジスタと、該バイポーラ・トランジスタのベースと前記電源端子との間に該ベースに向かって逆方向となる向きに挿入されたブレーク・ダウン素子と、前記バイポーラ・トランジスタのベースと前記入出力端子との間に挿入された抵抗とを備えるか、或いは、前記した構成の全てを備えるよう構成する。

前記構成を採ることにより、半導体集積回路の端子に加わる静電気を本来の標準的動作をするバイポーラ・トランジスタを介して短時間で放電させることができるから、半導体集積回路の破壊を有効に阻止することができ、その使用可能環境の拡大が可能である。

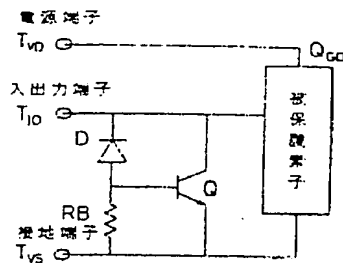
4 図面の簡単な説明

第1図並びに第2図は本発明に係る静電気保護回路の原理を説明する為の要部回路説明図、第3図は第1図或いは第2図に見られる静電気保護回路を動作解析し易いように具体化した要部回路説明図、第4図は第3図に見られる静電気保護回路に流し得る電流を説明する為の線図、第5図は本

発明一実施例の要部回路説明図、第6図は第5図に見られる実施例の具体的構造を説明する為の要部切断断面図、第7図は従来例の要部回路説明図、第8図は静電保護回路の測定に用いた試験回路の要部回路説明図をそれぞれ表している。

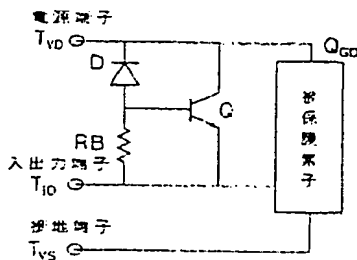
図に於いて、 T_{V0} は電源端子、 T_{I0} は入出力端子、 T_{V0} は接地端子、 Q_1 及び Q_2 は保護素子、 Q_0 は被保護素子、 Q は保護素子であるバイポーラ・トランジスタ、 D はブレーク・ダウン素子、 R_B は抵抗をそれぞれ示している。

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一



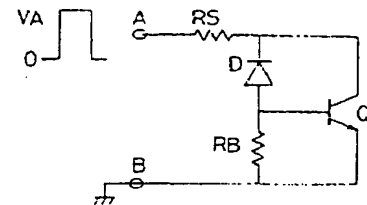
本発明に係る静電気保護回路の原理を説明する為の要部回路説明図

第1図



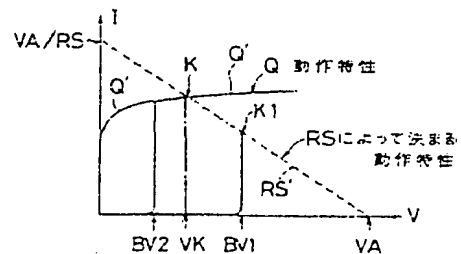
本発明に係る静電気保護回路の原理を説明する為の要部回路説明図

第2図



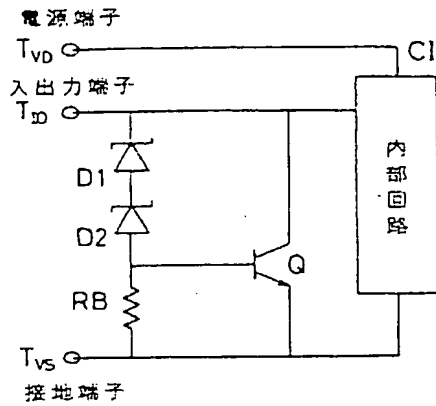
第1図或いは第2図に見られる静電気保護回路を動作解析し易いように具体化した要部回路説明図

第3図



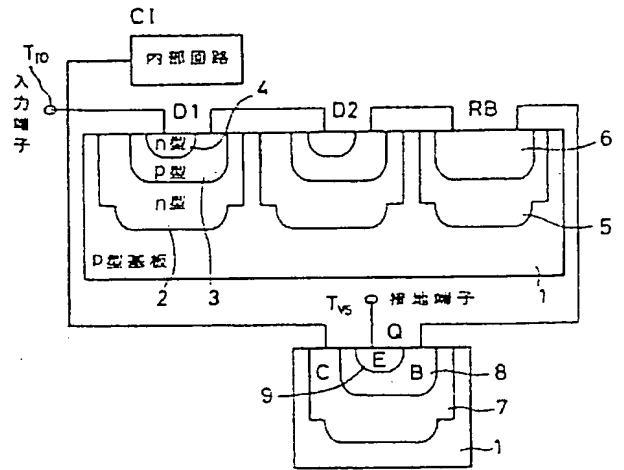
第3図に見られる静電気保護回路に流し得る電流を説明する為の線図

第4図



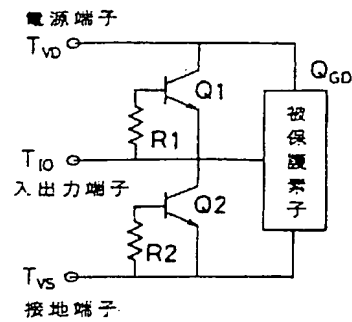
本発明一実施例の要部回路説明図

第5図



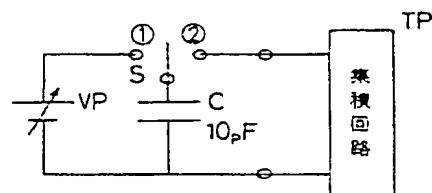
第5図に見られる実施例の具体的構造を説明する為の要部切斷側面図

第6図



従来例の要部回路説明図

第7図



静電保護回路の測定に用いた試験回路の要部回路説明図

第8図